

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-162402

(43)Date of publication of application : 20.06.1997

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/8238
H01L 27/092

(21)Application number : 07-346384

(71)Applicant : RICOH CO LTD

(22)Date of filing : 11.12.1995

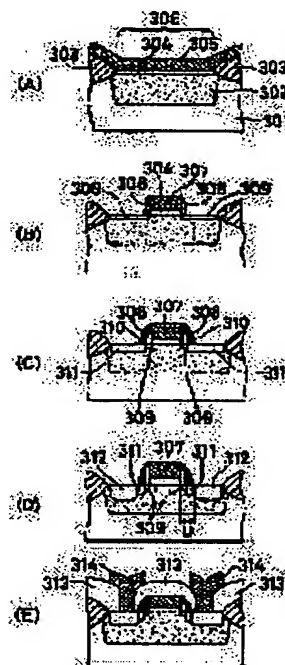
(72)Inventor : ITSUSHIKI KAIHEI

(54) MOS SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent deterioration of a device by solving a problem such as short channel effects, etc.

SOLUTION: A gate electrode 307 is formed, and then, with it as a mark, an N- area 309 is formed by arsenic ion implantation. A silicon nitride film is accumulated into the thickness of about 10nm, and etched back for forming the first side wall 308, and with it as a mask, an N-type area 311 is formed by arsenic ion implantation. A silicon oxide film is accumulated into the thickness about 100nm, and etched back for forming the second side wall 310, and with it as a mask, a N+ area 312 is formed by arsenic ion implantation. And then, with heat treatment at about 850° C, the implanted arsenic is diffused and activated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 1 6 2 4 0 2

(43) 公開日 平成 9 年 (1997) 6 月 2 0 日

(51) Int. Cl.

識別記号

庁内整理番号

F I

技術表示箇所

H01L 29/78

H01L 29/78

301

L

21/336

27/08

321

E

21/8238

27/092

審査請求 未請求 請求項の数 7 F D (全 9 頁)

(21) 出願番号 特願平 7 - 3 4 6 3 8 4

(22) 出願日 平成 7 年 (1995) 12 月 1 1 日

(71) 出願人 0 0 0 0 6 7 4 7

株式会社リコー

東京都大田区中馬込 1 丁目 3 番 6 号

(72) 発明者 一色 海平

東京都大田区中馬込 1 丁目 3 番 6 号 株式

会社リコー内

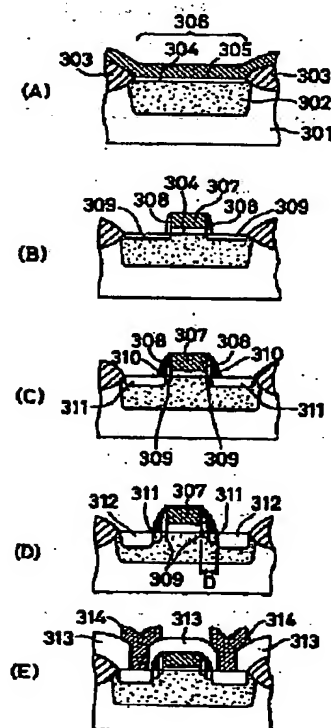
(74) 代理人 弁理士 野口 繁雄

(54) 【発明の名称】 MOS型半導体装置とその製造方法

(57) 【要約】

【課題】 ショートチャネル効果その他の問題を解決し、デバイス劣化を防ぐ。

【解決手段】 ゲート電極 307 を形成し、それをマスクとして砒素イオン注入により N⁻領域 309 を形成する。シリコン窒化膜を約 10 nm の厚さに堆積し、エッチバックを行なって第 1 のサイドウォール 308 を形成し、それをマスクとして砒素イオン注入により N 型領域 311 を形成する。シリコン酸化膜を約 100 nm の厚さに堆積し、エッチバックを行なって第 2 のサイドウォール 310 を形成し、それをマスクとして砒素イオン注入により N⁺領域 312 を形成する。その後、約 850 °C での熱処理により、注入した砒素を拡散、活性化させる。



【特許請求の範囲】

【請求項 1】 半導体基板表面で素子分離用の絶縁膜により分離された素子形成領域で、チャネル領域上にゲート絶縁膜を介してゲート電極が形成されている MOS 型半導体装置において、

ゲート電極の側面にサイドウォールが形成されており、そのサイドウォールはゲート電極に接する膜厚 10 ~ 50 nm の耐酸化性絶縁膜からなる第 1 のサイドウォールと、

その第 1 サイドウォールに接してその外側に形成された膜厚 100 ~ 150 nm のシリコン酸化膜又はシリコン膜からなる第 2 のサイドウォールとから構成されていることを特徴とする MOS 型半導体装置。

【請求項 2】 この MOS 型半導体装置が N チャネル型であり、ソース領域とドレイン領域は、ゲート電極端から離れゲート電極からみて第 2 のサイドウォールの外側の端付近から外側の位置に形成された高不純物濃度の第 1 の N 型拡散層と、

第 1 の N 型拡散層に接してチャネル領域側に形成され、第 1 の N 型拡散層よりも低不純物濃度の第 2 の N 型拡散層と、

第 2 の N 型拡散層に接してさらにチャネル領域側でゲート電極端の位置まで伸びて形成され、第 2 の N 型拡散層よりもさらに低不純物濃度の第 3 の N 型拡散層とからなる請求項 1 に記載の MOS 型半導体装置。

【請求項 3】 この MOS 型半導体装置が P チャネル型であり、ソース領域とドレイン領域は単一の不純物拡散層からなり、ソース領域とドレイン領域の端部はゲート電極端から離れた位置に形成されており、ソース領域とドレイン領域の端部とゲート電極端の間のゲート酸化膜上には前記第 1、第 2 のサイドウォールが位置している請求項 1 に記載の MOS 型半導体装置。

【請求項 4】 この MOS 型半導体装置が CMOS であり、

ソース領域とドレイン領域がゲート電極端から離れゲート電極からみて第 2 のサイドウォールの外側の端付近から外側の位置に形成された高不純物濃度の第 1 の N 型拡散層、第 1 の N 型拡散層に接してチャネル領域側に形成され、第 1 の N 型拡散層よりも低不純物濃度の第 2 の N 型拡散層、及び第 2 の N 型拡散層に接してさらにチャネル領域側でゲート電極端の位置まで伸びて形成され、第 2 の N 型拡散層よりもさらに低不純物濃度の第 3 の N 型拡散層からなる N チャネル型 MOSFET と、

ソース領域とドレイン領域が単一の不純物拡散層からなり、ソース領域とドレイン領域の端部はゲート電極端から離れた位置に形成されており、ソース領域とドレイン領域の端部とゲート電極端の間のゲート酸化膜上には前記第 1、第 2 のサイドウォールが位置している P チャネル型 MOSFET とを含んでいる請求項 1 に記載の MOS 型半導体装置。

【請求項 5】 以下の工程 (A) から (F) を含む N チャネル MOS 型半導体装置の製造方法。

(A) 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程、(B) ゲート電極をマスクとして基板に低濃度 N 型拡散層を形成する条件で N 型不純物をイオン注入する工程、(C) ゲート電極上から基板全面に膜厚 10 ~ 50 nm の耐酸化性絶縁膜を形成し、エッチバックを施してゲート電極の側面に第 1 のサイドウォールを形成する工程、(D) ゲート電極及び第 1 のサイドウォールをマスクとして基板に前記 N 型拡散層よりは高濃度の N 型拡散層を形成する条件で N 型不純物をイオン注入する工程、(E) ゲート電極上から基板全面に膜厚 50 ~ 100 nm のシリコン酸化膜又はシリコン膜を形成し、エッチバックを施して第 1 のサイドウォールの側面に第 2 のサイドウォールを形成する工程、(F) ゲート電極、第 1 のサイドウォール及び第 2 のサイドウォールをマスクとして基板に前記 N 型拡散層よりも高濃度の N 型拡散層を形成する条件で N 型不純物をイオン注入する工程。

【請求項 6】 以下の工程 (A) から (D) を含む P チャネル MOS 型半導体装置の製造方法。

(A) 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程、(B) ゲート電極上から基板全面に膜厚 10 ~ 50 nm の耐酸化性絶縁膜を形成し、エッチバックを施してゲート電極の側面に第 1 のサイドウォールを形成する工程、(C) ゲート電極上から基板全面に膜厚 50 ~ 100 nm のシリコン酸化膜又はシリコン膜を形成し、エッチバックを施して第 1 のサイドウォールの側面に第 2 のサイドウォールを形成する工程、(D) ゲート電極、第 1 のサイドウォール及び第 2 のサイドウォールをマスクとして基板に P 型不純物をイオン注入する工程。

【請求項 7】 以下の工程 (A) から (G) を含む CMOS 半導体装置の製造方法。

(A) 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程、

(B) P チャネル MOSFET となる領域を第 1 のレジストでマスクし、N チャネル MOSFET となる領域に対して、ゲート電極をマスクとして基板に低濃度 N 型拡散層を形成する条件で N 型不純物をイオン注入する工程、

(C) 第 1 のレジストを除去した後、ゲート電極上から基板全面に膜厚 10 ~ 50 nm の耐酸化性絶縁膜を形成し、エッチバックを施してゲート電極の側面に第 1 のサイドウォールを形成する工程、

(D) P チャネル MOSFET となる領域を第 2 のレジストでマスクし、N チャネル MOSFET となる領域に対して、ゲート電極及び第 1 のサイドウォールをマスクとして基板に前記 N 型拡散層よりは高濃度の N 型拡散層を形成する条件で N 型不純物をイオン注入する工程、

(E) 第2のレジストを除去した後、ゲート電極上から基板全面に膜厚50~100nmのシリコン酸化膜又はシリコン膜を形成し、エッチバックを施して第1のサイドウォールの側面に第2のサイドウォールを形成する工程、

(F) PチャネルMOSFETとなる領域を第3のレジストでマスクし、ゲート電極、第1のサイドウォール及び第2のサイドウォールをマスクとして基板に前記N型拡散層よりも高濃度のN型拡散層を形成する条件でN型不純物をイオン注入する工程、

(G) 前記工程(E)と(F)の間、又は工程(F)の後で、NチャネルMOSFETとなる領域を第4のレジストでマスクし、ゲート電極、第1のサイドウォール及び第2のサイドウォールをマスクとして基板にP型不純物をイオン注入する工程。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はMOS型半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】半導体装置の高集積化に伴ない、それを構成するMOSFETも微細化されてきている。素子が微細化されるに伴って生じる問題点の1つは、ショートチャネル効果によるホットキャリア劣化の問題である。このホットキャリア対策としては、N型低濃度不純物拡散層(N⁻領域)をゲート電極の側面のサイドウォール(側壁)直下に備えたLDD(Lightly doped drain)構造が採用され、効果を挙げている。ところが、ゲート長が1 μ mを下回るようなMOSFETでは、LDD構造を採用しても十分な効果が得られなくなっている。

【0003】LDD構造における問題の1つとして、LDD構造を形成するために必要なサイドウォールとして使用されているシリコン酸化膜の品質が、ゲート酸化膜に使われるシリコン熱酸化膜に比べてよくないことに起因するデバイス特性の劣化がある。このため、サイドウォール直下のN⁻領域で発生したホットキャリアがサイドウォール膜中に捕らえられ易くなり、その捕獲キャリアの影響や界面準位の生成によりN⁻領域の抵抗が増加する。そのため、相互コンタクダンス(Gm)が大きく劣化し、十分な駆動能力が得られないという問題が出てきている。

【0004】また、サイドウォールの酸化膜から酸素が供給され易いため、図1に示されるようなゲートバースピーク205が発生し、デバイス特性が劣化するなどの問題も発生している。図1で、204はゲート酸化膜、202はゲート電極である。基板のチャネル領域を挟んでLDD構造の拡散層が形成されており、207は高濃度不純物拡散層、208は拡散層207に接しチャネル側に形成された低濃度不純物拡散層である。203はL

DD構造を形成するために使用されたサイドウォールであり、ゲート酸化膜204の両端部はサイドウォール203から酸素が供給されて酸化が進み、ゲートバースピークとなっている。

【0005】他の問題点として、図2に示されるように、埋込みチャネル型PチャネルMOSFETでは、表面チャネル型であるNチャネルMOSFETに比べてショートチャネル効果によるしきい値電圧の低下が著しく、実効チャネル長を確保することが重要になってきている。図2はゲート長に対するしきい値電圧の変化を示したものであり、N型ゲートタイプのPチャネルMOSFETは埋込みチャネル型であり、ゲート長0.5 μ m以下になると短チャネル効果によってしきい値電圧が低下している。

【0006】ところで、PチャネルMOSFETでは拡散係数の大きいボロンを不純物として使用するため、不純物拡散領域を厳密に制御することが難しい。熱工程によって拡散領域長が決まってしまうため、NチャネルMOSFETとPチャネルMOSFETの構造的なバランスをとることが困難である。このバランスを取るためには、NチャネルMOSFETとPチャネルMOSFETのそれぞれのチャネルドープ量の最適化や、パンチスルーストップパのためのドーズ量の最適化、さらに熱工程の工夫などにより不純物プロファイルの最適化を図る必要があるが、工程設計が複雑になり、工程管理も厳密になるなどの問題が生じてくる。

【0007】このような問題を解決するための1つの方法として、PチャネルMOSFETのゲート電極の導電型をP型にして表面チャネル型PチャネルMOSFETとし、NチャネルMOSFETとのバランスをとる方法が知られている。しかし、その方法は、LSIの基本構造であるCMOS構造を作成したときに、ゲート電極間にPN接合ができてしまうなどの問題があり、実用的な技術にはなっていない。

【0008】本発明の第1の目的は、このような問題点を解決するためになされたものであり、ショートチャネル効果や従来のLDD構造がもつ問題点を解決し、デバイス劣化を防止できるLDD構造を提供することである。本発明の第2の目的は、NチャネルMOSFETとPチャネルMOSFETで構成されたCMOSFET素子の実効チャネル長をそれぞれ独立に設計できるMOSFET構造を提供するものである。

【0009】

【課題を解決するための手段】本発明のMOS型半導体装置は、ゲート電極の側面にサイドウォールが形成されたものであり、そのサイドウォールはゲート電極に接する膜厚10~50nmの耐酸化性絶縁膜からなる第1のサイドウォールと、その第1サイドウォールに接してその外側に形成された膜厚100~150nmのシリコン酸化膜又はシリコン膜からなる第2のサイドウォール

とから構成されている。

【0010】本発明のNチャネルMOS型半導体装置の構成は、ソース領域とドレイン領域が高不純物拡散層及び各々の拡散層に接合されてチャネル領域側に形成されている低不純物濃度拡散層を有するLDD構造である。

そしてそのLDD構造を形成するために使用されたサイドウォールが、上記のように、耐酸化性の絶縁膜で形成されたゲート電極に接する厚さ10～50nmの第1のサイドウォールを含むものである。このため、ゲート酸化膜への酸素の侵入を遮断でき、ゲートバースピークの発生を防止することができる。

【0011】サイドウォールが第1のサイドウォールと第2のサイドウォールとを含むことから、LDD構造はゲート電極端から離れゲート電極からみて第2のサイドウォールの外側の端付近から外側の位置に形成された高不純物濃度の第1のN型拡散層と、第1のN型拡散層に接してチャネル領域側に形成され、第1のN型拡散層よりも低不純物濃度の第2のN型拡散層と、第2のN型拡散層に接してさらにチャネル領域側でゲート電極端の位置まで伸びて形成され、第2のN型拡散層よりもさらに低不純物濃度の第3のN型拡散層とからなる構造とすることができる。

【0012】そのようなLDD構造を形成するには、ゲート電極をマスクとして低不純物濃度拡散層を形成し、ゲート電極の側面に第1のサイドウォールを形成した後、さらに第1のサイドウォールをマスクとして不純物イオンを注入し、中濃度の不純物層を形成する。さらにシリコン酸化膜又はシリコン膜を堆積し、エッチバックを施して第2のサイドウォールを形成し、これをマスクとして不純物イオンを注入して高濃度不純物拡散層を形成する。第2のサイドウォールの厚さはドレイン近傍での電界緩和のために必要であり、ゲート長が0.5μm程度のMOSFETでは少なくとも50nmは必要である。

【0013】以上のように、ゲート電極、第1のサイドウォール、第2のサイドウォールをそれぞれマスクとしてイオン注入を行ない、チャネル領域から高濃度不純物拡散層までの不純物濃度を徐々に濃くすることができ、低濃度領域でのホットキャリア発生によるデバイス劣化を防ぐことができる。

【0014】本発明のPチャネルMOS型半導体装置の構成は、ソース領域とドレイン領域が単一の不純物拡散層からなり、ソース領域とドレイン領域の端部はゲート電極端から外側に離れた位置に形成されており、ソース領域とドレイン領域の端部とゲート電極端の間のゲート酸化膜上には第1、第2のサイドウォールが位置しているものである。このとき、第1のサイドウォールと第2のサイドウォールの合計厚さは、ボロンの拡散を考慮した厚さが必要であり、少なくとも次の表1に示す拡散量を考慮しなければならない。表1は、BF₃注入による

ボロンの横方向の広がり量を示したものであり、ドーズ量は $1 \times 10^{11} / \text{cm}^2$ 、熱処理は850℃で30分である。

【0015】

【表1】

注入エネルギー	広がり量
15KeV	50nm
30KeV	110nm
50KeV	150nm

【0016】ここで、注入エネルギー15KeV、850℃の熱処理を考えると、ゲート電極とソース、ドレイン領域とのオフセット量は少なくとも50nmが必要になる。つまり、設計上のチャネル長は単純に（ゲート電極下のチャネル長+50nm×2）と考えることができる。

【0017】また、N⁺ゲートタイプのNチャネルMOSFET及びPチャネルMOSFETのショートチャネル効果（しきい値電圧の低下傾向）は、図2に示されるように、PチャネルMOSFETで著しい。しかし、本発明の構成とすることにより、サイドウォールオフセット構造となり、約0.1μm実効チャネル長を大きくできるため、短チャネル効果によるデバイス特性劣化を防ぐことができる。

【0018】本発明のPチャネルMOS型半導体装置は、第1のサイドウォールと第2のサイドウォールを形成した後に、ゲート電極、第1のサイドウォール及び第2のサイドウォールをマスクとして基板にP型不純物をイオン注入して形成される。本発明のCMOS型半導体装置は、上記のNチャネルMOS型半導体装置とPチャネルMOS型半導体装置とを含んだものである。

【0019】

【実施例】

【実施例1】図3により本発明をNチャネルMOSFETに適用した実施例を製造方法とともに示す。

(A) P型シリコン基板301の表面に形成されたP型ウエル302の表面に、素子分離用のフィールド酸化膜303によって島状に分離された素子形成領域306を形成する。ドライ熱酸化処理を施して素子形成領域306のシリコン基板301上にゲート酸化膜304を約10nmの厚さに成長させ、さらにその上に多結晶シリコン膜305を熱酸化膜の全面に約200nmの厚さに堆積する。その後、砒素イオンを多結晶シリコン膜305の全面に10KeV、 $5 \times 10^{11} / \text{cm}^2$ の条件で注入し、続いて約800℃の熱処理によって砒素イオンを多結晶シリコン膜305中に拡散させ、活性化させる。な

お、この実施例ではノンドープの多結晶シリコン膜を堆積した後にイオン注入を行なってN型にしているが、砒素などをドーブした多結晶シリコン膜を堆積するようにしてもよい。

【0020】(B)次に、多結晶シリコン膜305とゲート酸化膜304を写真蝕刻法を用いてパターン化し、ゲート電極307を形成する。ゲート電極307及びフィールド酸化膜303をマスクとしてN型不純物イオンである砒素を30KeV、 $1 \times 10^{11}/\text{cm}^2$ の条件で注入し、N'領域309を形成する。次に、基板全面にCVD法などの方法で耐酸化性の材料であるシリコン窒化膜を約10nmの厚さに堆積し、RIE(反応性イオンエッチング)などの方法でエッチバックを行なって厚さ約10nmの第1のサイドウォール308を形成する。なお、本実施例では耐酸化性膜としてシリコン窒化膜を用いたが、耐酸化性の材料であればこれに限るものではない。ここで、ゲート電極側面を耐酸化性のサイドウォール308で被覆したことで、外部からゲート酸化膜304への酸素の供給を遮断することができるため、ゲートバースピークが発生せず、デバイス特性を劣化させることがなくなる。

【0021】(C)続いて、ゲート電極307、第1のサイドウォール308及びフィールド酸化膜303をマスクとしてN型不純物イオンである砒素を40KeV、 $3 \times 10^{11}/\text{cm}^2$ 条件で注入し、N型領域311を形成する。次に、基板全面にCVD法などの方法でシリコン酸化膜を約100nmの厚さに堆積し、RIEなどの方法でエッチバックを行なって厚さ約100nmの第2のサイドウォール310を形成する。なお、本実施例ではシリコン酸化膜を用いたが、多結晶シリコンなどのシリコン膜であってもよい。シリコン酸化膜又はシリコン膜のサイドウォールを形成することで、シリコン基板への応力を軽減することができる。第1と第2のサイドウォールの合計膜厚は2層のN型不純物層309と311の幅D(同図(D)参照)に該当し、その2層のサイドウォールの膜厚は電源電圧や注入条件によって異なるが、150nmを越えるとデバイスの微細化に反することになり、実用的な値とは言えなくなる。

【0022】(D)さらに、ゲート電極307、第1のサイドウォール308、第2のサイドウォール310及びフィールド酸化膜303をマスクとしてN型不純物イオンである砒素を50KeV、 $6 \times 10^{11}/\text{cm}^2$ の条件で注入した後、約850℃で約30分間熱処理を施し、注入した砒素を拡散、活性化させてソース・ドレイン領域となるN'領域312、N領域311、N'領域309を形成する。

【0023】(E)その後、シリコン基板全面にCVD法などの手段によってNSG膜を約300nmの厚さに堆積した後、BPSG膜を約500nmの厚さに堆積し、熱処理によって平坦化することで層間絶縁膜313

を形成する。その後、コンタクトホール開口、及び配線314の形成工程を経てNチャネルMOSFETが完成する。

【0024】

【実施例2】図4により本発明をPチャネルMOSFETに適用した実施例を製造方法とともに示す。

(A)P型シリコン基板301の表面に形成されたN型ウェル402の表面に、素子分離用のフィールド酸化膜403によって島状に分離された素子形成領域406を形成する。ドライ熱酸化処理を施して素子形成領域406のシリコン基板401上にゲート酸化膜404を約10nmの厚さに成長させ、さらにその上に多結晶シリコン膜405を熱酸化膜の全面に約200nmの厚さに堆積する。その後、砒素イオンを多結晶シリコン膜405の全面に10KeV、 $5 \times 10^{11}/\text{cm}^2$ の条件で注入し、続いて約800℃の熱処理によって砒素イオンを多結晶シリコン膜405中に拡散させ、活性化させる。なお、この実施例ではノンドープの多結晶シリコン膜を堆積した後にイオン注入を行なってN型にしているが、砒素などをドーブした多結晶シリコン膜を堆積するようにしてもよい。

【0025】(B)次に、多結晶シリコン膜405とゲート酸化膜404を写真蝕刻法を用いてパターン化し、ゲート電極407を形成する。次に、基板全面にCVD法などの方法で耐酸化性の材料であるシリコン窒化膜を約10nmの厚さに堆積し、RIEなどの方法でエッチバックを行なって厚さ約10nmの第1のサイドウォール408を形成する。なお、本実施例では耐酸化性膜としてシリコン窒化膜を用いたが、耐酸化性の材料であればこれに限るものではない。ここで、ゲート電極側面を耐酸化性のサイドウォール408で被覆したことで、外部からゲート酸化膜404への酸素の供給を遮断することができるため、ゲートバースピークが発生せず、デバイス特性を劣化させることがなくなる。次に、基板全面にCVD法などの方法でシリコン酸化膜を約100nmの厚さに堆積し、RIEなどの方法でエッチバックを行なって厚さ約100nmの第2のサイドウォール409を形成する。なお、本実施例ではシリコン酸化膜を用いたが、多結晶シリコンなどのシリコン膜であってもよい。シリコン酸化膜又はシリコン膜のサイドウォールを形成することで、シリコン基板への応力を軽減することができる。

【0026】(C)ゲート電極407、第1のサイドウォール408、第2のサイドウォール409及びフィールド酸化膜403をマスクとしてP型不純物イオンであるBF₃を15KeV、 $1 \times 10^{11}/\text{cm}^2$ の条件で注入した後、約850℃で約30分間熱処理を施し、注入したBF₃を拡散、活性化させてソース・ドレイン領域となるP'領域410を形成する。その後、シリコン基板全面にCVD法などの手段によってNSG膜を約300

nmの厚さに堆積した後、BPSG膜を約500nmの厚さに堆積し、熱処理によって平坦化することで層間絶縁膜411を形成する。その後、コンタクトホール504の開口、及び配線412の形成工程を経てPチャネルMOSFETが完成する。

【0027】

【実施例3】図5により本発明をCMOS半導体装置に適用した実施例を製造方法とともに示す。この実施例は実施例1のNチャネルMOSFETと実施例2のPチャネルMOSFETとを独立に設計できるようにして、バ

ランスのよいCMOS構造を得るようにしたものである。

【0028】(A) P型シリコン基板501の表面に形成されたP型ウェル502とN型ウェル503の表面に、素子分離用のフィールド酸化膜520によって島状に分離された素子形成領域506、507をそれぞれ形成する。ドライ熱酸化処理を施して素子形成領域のシリコン基板501上にゲート酸化膜504を約10nmの厚さに成長させ、さらにその上に多結晶シリコン膜505を熱酸化膜の全面に約200nmの厚さに堆積する。その後、砒素イオンを多結晶シリコン膜505の全面に10KeV、 $5 \times 10^{11} / \text{cm}^2$ の条件で注入し、続いて約800℃の熱処理によって砒素イオンを多結晶シリコン膜505中に拡散させ、活性化させる。なお、この実施例ではノンドープの多結晶シリコン膜を堆積した後にイオン注入を行なってN型にしているが、砒素などをドープした多結晶シリコン膜を堆積するようにしてもよい。

【0029】(B) 次に、多結晶シリコン膜505とゲート酸化膜504を写真蝕刻法を用いてパターン化し、ゲート電極508を形成する。PチャネルMOSFETとなる領域507をフォトリソなどでマスクし、NチャネルMOSFETとなる領域506に対して、ゲート電極508及びフィールド酸化膜520をマスクとしてN型不純物イオンである砒素を30KeV、 $1 \times 10^{11} / \text{cm}^2$ の条件で注入し、N'領域510を形成する。つぎに、PチャネルMOSFETとなる領域507をマスクしていたフォトリソなどを除去した後、基板全面にCVD法などの方法で耐酸化性の材料であるシリコン窒化膜を約10nmの厚さに堆積し、RIEなどの方法でエッチバックを行なって厚さ約10nmの第1のサイドウォール509を形成する。なお、本実施例では耐酸化性膜としてシリコン窒化膜を用いたが、耐酸化性の材料であればこれに限るものではない。ここで、ゲート電極側面を耐酸化性のサイドウォール509で被覆したことで、外部からゲート酸化膜504への酸素の供給を遮断することができるため、ゲートバースピークが発生せず、デバイス特性を劣化させることがなくなる。続いて、PチャネルMOSFETとなる領域507をフォトリソなど511マスクし、NチャネルMOSFET

となる領域506に対して、ゲート電極508、第1のサイドウォール509及びフィールド酸化膜520をマスクとしてN型不純物イオンである砒素を40KeV、 $3 \times 10^{11} / \text{cm}^2$ 条件で注入し、N型領域512を形成する。つぎに、PチャネルMOSFETとなる領域507をマスクしていたフォトリソなど511を除去した後、基板全面にCVD法などの方法でシリコン酸化膜を約100nmの厚さに堆積し、RIEなどの方法でエッチバックを行なって厚さ約100nmの第2のサイドウォール514を形成する。なお、本実施例ではシリコン酸化膜を用いたが、多結晶シリコンなどのシリコン膜であってもよい。

【0030】(C) 再び、PチャネルMOSFETとなる領域507をフォトリソなど515でマスクし、NチャネルMOSFETとなる領域506に対して、ゲート電極508、第1のサイドウォール509、第2のサイドウォール514及びフィールド酸化膜303をマスクとしてN型不純物イオンである砒素を50KeV、 $6 \times 10^{11} / \text{cm}^2$ の条件で注入する。

【0031】(D) 今度は、NチャネルMOSFETとなる領域506をフォトリソなど517でマスクし、PチャネルMOSFETとなる領域507に対して、ゲート電極508、第1のサイドウォール509、第2のサイドウォール514及びフィールド酸化膜303をマスクとしてP型不純物イオンであるBF₃を15KeV、 $1 \times 10^{11} / \text{cm}^2$ の条件で注入する。その後、約850℃で約30分間熱処理を施し、注入した砒素、ボロンを拡散、活性化させてソース・ドレイン領域となるN'領域513、P'領域516のほか、N領域512、N'領域510を形成する。その後、シリコン基板全面にCVD法などの手段によってNSG膜を約300nmの厚さに堆積した後、BPSG膜を約500nmの厚さに堆積し、熱処理によって平坦化することで層間絶縁膜517を形成する。その後、コンタクトホールの開口、及び配線518の形成工程を経てCMOS半導体装置が完成する。

【0032】

【発明の効果】本発明のMOS型半導体装置は、ゲート電極の側面に耐酸化性絶縁膜からなる第1のサイドウォールを備えているので、ゲート電極側面からゲート酸化膜への酸素の侵入を遮断することができるため、ゲートバースピークの発生を防止することができ、デバイスの特性劣化を防止することができる。本発明のNチャネルMOS型半導体装置は、ゲート電極、第1のサイドウォール、第2のサイドウォールをそれぞれマスクとしてイオン注入を行ない、チャネル領域から高濃度不純物拡散層までの不純物濃度を徐々に濃くすることができ、低濃度領域でのホットキャリア発生によるデバイス劣化を一層有効に防ぐことができる。また、ゲート電極側面のサイドウォールが2層になっているので、PチャネルMO

S型半導体装置とNチャネルMOS型半導体装置の実効チャネル長を最適化することができ、バランスのよいCMOS半導体装置を構成することができる。

【図面の簡単な説明】

【図1】従来のMOS型半導体装置のLDD構造を示す断面図である。

【図2】ゲート長に対するしきい値電圧変化を示す図である。

【図3】本発明をNMOSFETに適用した実施例を製造方法とともに示す工程断面図である。

【図4】本発明をPMOSFETに適用した実施例を製造方法とともに示す工程断面図である。

【図5】本発明をCMOS半導体装置に適用した実施例

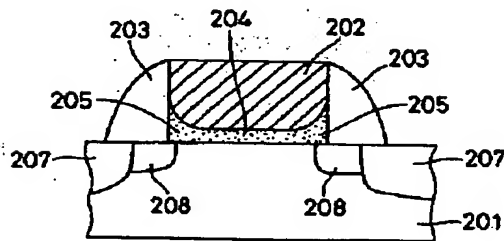
を製造方法とともに示す工程断面図である。

【符号の説明】

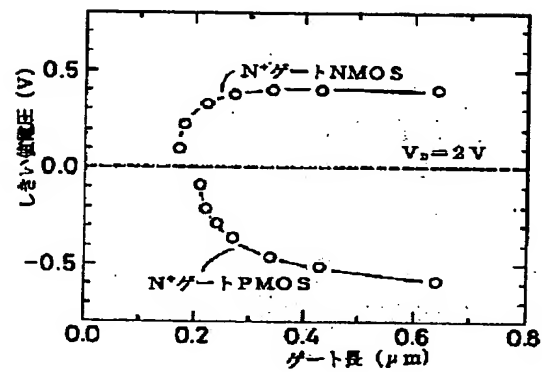
301, 401, 501	シリコン基板
302, 402, 503, 504	ウエル
304, 404, 504	ゲート酸化膜
307, 407, 508	ゲート電極
308, 408, 509	第1のサイドウォール
310, 409, 514	第2のサイドウォール
309, 510	N ⁻ 領域
311, 512	N領域
312, 513	N ⁺ 領域
410, 516	P ⁺ 領域

10

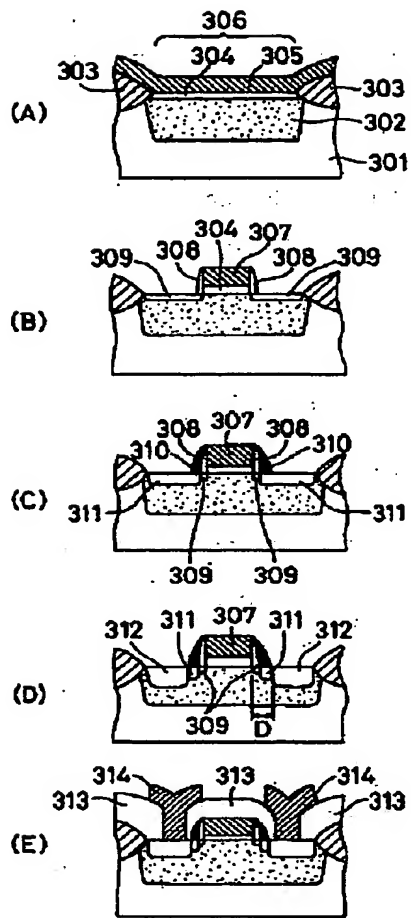
【図1】



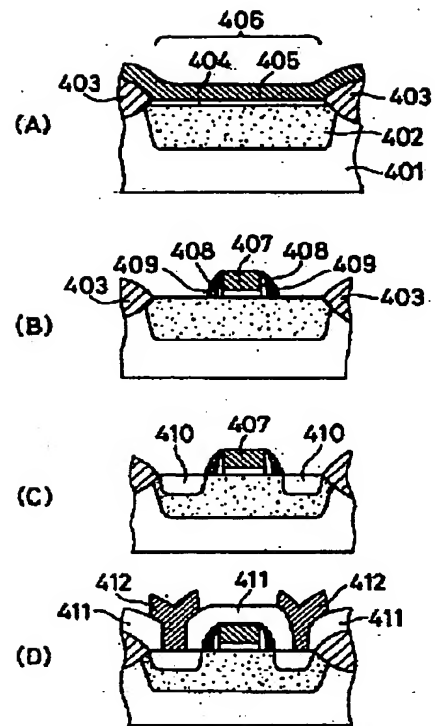
【図2】



【図 3】



【図 4】



【図 5】

